



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Yu-Ri SONG, *et al.*

Art Unit: TBD

Appl. No.: 10/615,798

Examiner: TBD

Filed: July 10, 2003

Atty. Docket: 6192.0301.US

For: **THIN FILM TRANSISTOR ARRAY
PANEL INCLUDING STORAGE
ELECTRODE**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
Alexandria, VA 22313

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2002-0040169	July 11, 2002

A certified copy of Korean Patent Application No. 10-2002-000040169 is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

Maryam M. Ipakchi

Maryam M. Ipakchi
Reg. No. 51,835

Hae-Chan Park,
Reg. No. 50,114

Date: August 28, 2003

McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0040169
Application Number PATENT-2002-0040169

출원년월일 : 2002년 07월 11일
Date of Application JUL 11, 2002

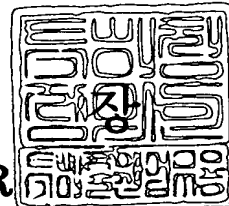
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.07.11
【발명의 명칭】	박막 트랜지스터 기판
【발명의 영문명칭】	A thin film transistor array panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	송유리
【성명의 영문표기】	SONG, YU RI
【주민등록번호】	720805-2551033
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전리 벽산아파트 106동 1801호
【국적】	KR
【발명자】	
【성명의 국문표기】	박운용
【성명의 영문표기】	PARK, WOON YONG
【주민등록번호】	621217-1031311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 동보아파트 621동 1206호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 인 (인) 유미특허법

1020020040169

출력 일자: 2003/1/29

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	21	면	21,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	50,000	원		
------	--------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

절연 기판 위에 형성되어 있고, 유지 전극선과 유지 전극을 포함하며, 연결로가 없는 돌출 가지를 2개 이상 포함하지 않는 유지 전극 배선, 절연 기판 위에 형성되어 있는 게이트 배선, 게이트 배선과 유지 전극 배선 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 반도체층, 반도체층 위에 형성되어 있는 데이터 배선, 데이터 배선 위에 형성되어 있는 보호막, 보호막 위에 형성되어 있는 화소 전극을 포함하는 박막 트랜지스터 기판을 마련한다. 이렇게 하면, 물얼룩과 가로줄 불량을 제거할 수 있다.

【대표도】

도 1

【색인어】

박막트랜지스터기판, 유지전극배선, 물얼룩, 가로줄불량

【명세서】**【발명의 명칭】**

박막 트랜지스터 기판{A thin film transistor array panel}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 2는 도 1의 II-II 선에 대한 단면도이고,

도 3은 도 1의 III-III선, III -III 선 및 III -III 선에 대한 단면도이고,

도 4는 도 1에서 유지 전극 배선만을 도시한 배치도이고,

도 5 내지 도 12는 각각 본 발명의 제2 내지 제9 실시예에 따른 박막 트랜지스터 기판의 유지 전극 배선을 도시한 배치도이고,

도 13 내지 도 17은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 5매 마스크 공정으로 제조하는 공정을 순서대로 나타내는 단면도이고,

도 18a, 18b 내지 도 26a, 26b는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크 공정으로 제조하는 공정을 순서대로 나타내는 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 박막 트랜지스터 기판에 관한 것으로서, 특히 유지 전극 배선을 가지는 박막 트랜지스터 기판에 관한 것이다.

<9> 박막 트랜지스터 기판은 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등에서 각 화소를 독립적으로 구동하기 위한 회로 기판으로써 사용된다. 박막 트랜지스터 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 게이트 배선을 덮어 절연하는 게이트 절연막 및 박막 트랜지스터와 데이터 배선을 덮어 절연하는 보호막 등으로 이루어져 있다. 박막 트랜지스터는 게이트 배선의 일부인 게이트 전극과 채널을 형성하는 반도체층, 데이터 배선의 일부인 소스 전극과 드레인 전극 및 게이트 절연막과 보호막 등으로 이루어진다. 박막 트랜지스터는 게이트 배선을 통하여 전달되는 주사 신호에 따라 데이터 배선을 통하여 전달되는 화상신호를 화소 전극에 전달 또는 차단하는 스위칭 소자이다.

<10> 이러한 박막 트랜지스터 기판에는 화소 전극과 기준 전극 사이에서 형성되는 액정 용량을 보충하기 위하여 유지 전극 배선을 형성한다. 유지 전극 배선은 화소 전극과의 사이에서 정전 용량을 형성하여 화소 전극에 보다 많은 전하가 저장될 수 있도록 해준다.

<11> 그런데 유지 전극 배선이 전하가 배출되기 어려운 구조를 가지는 경우에는 정전기 등으로 인한 전하가 배출되지 못하고 축적되는 전하 트랩핑(trapping) 현상이 발생한다. 전하 트랩핑 현상은 물얼룩이나 가로줄 불량 등으로 나타나게 되어 화질을 악화시킨다. 물얼룩이란 화면이 얼룩져 보이는 것으로 회색 표시 상태에서 부분적으로 좀더 어두운 부분이 나타나는 등의 현상이다. 가로줄 불량이란 화면에

원하지 않는 가로줄이 나타나는 것을 의미하며, 게이트선과 같은 방향으로 뻗어 있는 유지 전극 배선에 전하 트랩핑이 발생하여 유지 용량을 감소시킴으로써 화소 전극에 충분한 전하가 충전되는 것을 방해하기 때문에 발생하는 불량이다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 물얼룩이나 가로줄 불량이 없는 우수한 화질의 액정 표시 장치를 마련하는 것이다.

【발명의 구성 및 작용】

<13> 이러한 기술적 과제를 해결하기 위하여 본 발명에서는 연결로가 없는 돌출 가지를 2개 이상 포함하지 않는 유지 전극 배선을 형성한다.

<14> 구체적으로는, 절연 기판, 상기 절연 기판 위에 형성되어 있고, 유지 전극선과 유지 전극을 포함하며, 연결로가 없는 돌출 가지를 2개 이상 포함하지 않는 유지 전극 배선, 상기 절연 기판 위에 형성되어 있는 게이트 배선, 상기 게이트 배선과 상기 유지 전극 배선 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 데이터 배선, 상기 데이터 배선 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있는 화소 전극을 포함하는 박막 트랜지스터 기판을 마련한다.

<15> 이 때, 상기 유지 전극 배선은 이웃하는 화소간의 유지 전극을 연결하는 유지 전극선을 2개 이상 포함할 수 있고, 상기 게이트 배선을 건너 그 양쪽에 위치하는 유지 전극 배선을 연결하는 유지 배선 연결 다리를 더 포함할 수 있으며, 상기 유지 전극 배선의 유지 전극은 2개의 세로 가지부와 2개의 사선 가지부를 가지며 1

개의 폐회로를 형성할 수 있다. 또, 상기 유지 전극 배선의 유지 전극은 2개의 세로 가지부와 3개의 사선 가지부를 가지며 2개의 폐회로를 형성할 수 있고, 상기 유지 전극 배선의 유지 전극은 2개의 세로 가지부와 4개의 사선 가지부를 가지며 3개의 폐회로를 형성할 수도 있다. 한편, 상기 화소 전극은 다수의 절개부를 가지며 상기 절개부는 상기 유지 전극 배선과 적어도 일부가 중첩할 수 있고, 데이터 배선은 상기 반도체층과 채널 부를 제외한 영역에서 실질적으로 동일한 패턴을 가질 수 있다.

<16> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<17> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<18> 이제 본 발명의 실시예에 따른 액정 표시 장치 및 액정 표시 장치용 조사 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

<19> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 기판에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세하게 설명한다.

<20> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 2 및 도 3은 각각 도 1의 II-II 선 및 III-III 선에 대한 단면도이다.

<21> 절연 기판(110) 위에 가로 방향으로 게이트선(121)이 형성되어 있다. 게이트선(121)에는 게이트 전극(123)이 돌기의 형태로 형성되어 있고, 그 왼쪽 끝에는 게이트 패드(125)가 형성되어 있다. 절연 기판(110) 위에는 게이트선(121)과 나란하게 유지 전극선(131)이 형성되어 있다. 유지 전극선(131)은 세로 방향으로 형성되어 있는 두 개의 가로 방향 유지 전극(133a, 133d)과 연결되어 있고, 이들 두 가로 방향 유지 전극(133a, 133d)은 두 개의 사선 방향 유지 전극(133b, 133c)에 의하여 서로 연결되어 있다. 또, 이웃하는 화소 영역에 위치하는 두 세로 방향 유지 전극(133a, 133d) 사이를 연결하는 가로 방향 유지 전극(133e)이 형성되어 있다. 이 때, 가로 방향 유지 전극(133e)은 이웃 화소 영역의 유지 전극을 서로 연결하고 있으므로 유지 전극선으로써의 기능을 하고 있다. 유지 전극 배선(131, 133a, 133b, 133c, 133d, 133e)은 한 부분을 제외하고는 연결로가 없는 돌출 가지를 가지지 않는다. 즉, 세로 방향 유지 전극(133a)의 끝부분을 제외하고는 막다른 부분을 가지지 않는다. 또한 세로 방향 유지 전극(133a)도 유지 배선 연결 다리(91)를 통하여 이웃 화소행의 유지 전극선(131)과 연결되므로 전하의 출구는 형성되어 있다.

<22> 게이트선(121), 게이트 전극(123), 게이트 패드(125), 유지 전극선(131) 및 유지 전극(133a, 133b, 133c, 133d, 133e)은 알루미늄 또는 크롬 등의 금속으로 형성한다. 이 때, 이들은 단일층으로 형성할 수도 있고, 크롬층과 알루미늄층을 연속 적층하여 이루어진 이중층으로 형성할 수도 있다. 이외에도 여러 다양한 금속을 사용하여 게이트 배선과 유지 전극 배선을 형성할 수 있다.

- <23> 게이트 배선(121, 123, 125)과 유지 전극선(131) 및 유지 전극(133a, 133b, 133c, 133d, 133e)의 위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.
- <24> 게이트 절연막(140)의 위에는 세로 방향으로 데이터선(171)이 형성되어 있다. 데이터선(171)에는 분지로서 소스 전극(173)이 형성되어 있고, 소스 전극(173)에 인접하여 드레인 전극(175)이 형성되어 있으며, 데이터선(171)의 위쪽 끝에는 데이터 패드(179)가 형성되어 있다. 데이터선(171), 소스 전극(173), 드레인 전극(175) 및 데이터 패드(179)도 게이트 배선(121, 123, 125)과 마찬가지로 크롬과 알루미늄등의 물질로 형성한다. 또한 단일층 또는 다중층으로 형성할 수 있다.
- <25> 소스 전극(173)과 드레인 전극(175)의 하부에는 박막 트랜지스터의 채널부로 사용되는 반도체층(151)이 형성되어 있고, 데이터선(171)의 아래에는 채널부 반도체층(151)을 세로로 길게 연결하고 있는 데이터선부 반도체층(153)이 형성되어 있으며, 데이터 패드(179)의 아래에는 데이터 패드부 반도체층(159)이 형성되어 있다. 반도체층(151, 153, 159)의 위에는 소스 및 드레인 전극(173, 175)과 채널부 반도체층(151) 사이의 접촉 저항을 감소시키기 위한 접촉층(161, 163, 165, 162)이 형성되어 있다. 반도체층(151, 153, 159)은 비정질 규소로 형성하는 것이 보통이고, 접촉층(161, 163, 165, 162)은 n형 불순물이 고농도로 도핑된 비정질 규소를 사용하여 형성한다.
- <26> 데이터선(171) 등의 위에는 질화규소 등의 무기 절연물이나 수지 등의 유기 절연물로 이루어진 보호막(180)이 형성되어 있다. 보호막(180)에는 드레인 전극(175)을 노출시키는 접촉구(181)와 데이터 패드(179)를 노출하는 접촉구(183)가 형성되어 있다. 또,

보호막(180)과 게이트 절연막(140)에 걸쳐 유지 전극선(131), 유지 전극(133a) 및 게이트 패드(125)를 각각 노출하는 접촉구(184, 185, 182)가 형성되어 있다.

<27> 보호막(180) 위에는 절개부(191, 192, 193)를 가지는 화소 전극(190)이 형성되어 접촉구(181)를 통하여 드레인 전극(175)에 연결되어 있다. 화소 전극(190)은 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등과 같은 투명 도전체나 알루미늄(Al)과 같은 광 반사 특성이 우수한 불투명 도전체를 사용하여 형성한다. 화소 전극(190)에 형성되어 있는 절개부(191, 192, 193)는 화소 전극(190)을 상하로 반분하는 위치에 가로 방향으로 형성되어 있는 가로 절개부(192)와 반분된 화소 전극(190)의 상하 부분에 각각 사선 방향으로 형성되어 있는 사선 절개부(191, 193)를 포함한다. 이 때, 상하의 사선 절개부(191, 193)는 서로 수직을 이루고 있다. 이는 프린지 필드의 방향을 4 방향으로 고르게 분산시키기 위함이다.

<28> 또, 보호막(180)의 위에는 게이트선(121)을 건너 세로 방향 유지 전극(133a)과 유지 전극선(131)을 연결하는 유지 배선 연결 다리(91)가 형성되어 있다. 유지 배선 연결 다리(91)는 보호막(180)과 게이트 절연막(140)에 걸쳐 형성되어 있는 접촉구(184, 185)를 통하여 세로 방향 유지 전극(133a) 및 유지 전극선(131)에 접촉하고 있다. 유지 배선 연결 다리(91)는 하부 기판(110) 위의 유지 배선 전체를 전기적으로 연결하는 역할을 하고 있다. 이러한 유지 배선(131, 133a, 133b, 133c, 133d, 133e)은 필요할 경우 게이트선(121)이나 데이터선(171)의 결함을 수리하는데 이용할 수 있다. 이러한 수리를 위하여 레이저를 조사할 때, 게이트선(121)과 유지 배선 연결 다리(91)의 전기적 연결을 보조하기 위하여 다리부 금속편(도시하지 않음)을 게이트 절연막(140) 위에 형성해 놓을 수도 있다.

- <29> 보호막(180) 위에는 화소 전극(190)과 동일한 물질로 이루어진 보조 게이트 패드(95)와 보조 데이터 패드(97)가 형성되어 있다. 보조 게이트 패드(95)와 보조 데이터 패드(97)는 각각 접촉구(182, 183)를 통하여 게이트 패드(125)와 데이터 패드(179)에 연결되어 있다.
- <30> 이러한 박막 트랜지스터 기판은 액정 표시 장치의 구성 부분이 된다. 그러면 이러한 박막 트랜지스터 기판을 포함하는 액정 표시 장치에 대하여 간단히 살펴본다.
- <31> 액정 표시 장치는 박막 트랜지스터 기판(110)과 이와 마주보고 있는 색필터 기판(도시하지 않음) 및 이들 두 기판 사이에 주입되어 이들 기판에 대하여 수직으로 배향되어 있는 액정 분자를 포함하는 액정층으로 이루어진다.
- <32> 색필터 기판에 대하여 좀더 상세히 설명한다.
- <33> 유리 등의 투명한 절연 물질로 이루어진 상부 기판의 아래 면에 빛샘을 방지하기 위한 블랙 매트릭스와 적, 녹, 청의 색 필터 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 기준 전극이 형성되어 있다. 여기서, 기준 전극)에는 절개부가 형성되어 있다. 블랙 매트릭스는 화소 영역의 둘레 부분뿐만 아니라 기준 전극의 절개부와 중첩하는 부분에도 형성할 수 있다. 이는 절개부로 인해 발생하는 빛샘을 방지하기 위함이다.
- <34> 이상과 같은 구조의 박막 트랜지스터 기판과 색 필터 기판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명에 따른 액정 표시 장치의 기본 구조가 마련된다. 박막 트랜지스터 기판과 색 필터 기판을 정렬했을 때 화소 전극의 절개

부와 기준 전극의 절개부는 화소 영역을 다수의 소도메인으로 분할한다. 이들 소도메인은 그 내부에 위치하는 액정 분자의 평균 장축 방향에 따라 4개의 종류로 분류된다.

<35> 이상과 같은 구조로 박막 트랜지스터 기관의 유지 전극 배선(131, 133a, 133b, 133c, 133d, 133e)을 형성하면 물얼룩과 가로줄 불량을 제거할 수 있다.

<36> 그러면 유지 전극 배선의 구조에 대하여 좀더 상세히 살펴본다.

<37> 도 4는 도 1에서 유지 전극 배선만을 도시한 배치도이다.

<38> 유지 전극선(131)이 가로 방향으로 뻗어 있고, 세로 방향으로 형성되어 있는 두 개의 가로 방향 유지 전극(133a, 133d)이 유지 전극선(131)에 연결되어 있다. 이들 두 가로 방향 유지 전극(133a, 133d)은 두 개의 사선 방향 유지 전극(133b, 133c)에 의하여 서로 연결되어 있다. 또, 이웃하는 화소 영역에 위치하는 두 세로 방향 유지 전극(133a, 133d) 사이를 연결하는 가로 방향 유지 전극(133e)이 형성되어 있다. 이 때, 가로 방향 유지 전극(133e)은 이웃 화소 영역의 유지 전극을 서로 연결하고 있으므로 유지 전극선으로써의 기능을 하고 있다. 유지 전극 배선(131, 133a, 133b, 133c, 133d, 133e)은 세로 방향 유지 전극(133a)의 끝부분을 제외하고는 연결로가 없는 돌출 가지를 가지지 않는다. 즉, 세로 방향 유지 전극(133a)의 끝부분(C 부분)을 제외하고는 막다른 부분을 가지지 않는다. A 부분이나 B 부분은 가로 방향 유지 전극(133d)과 사선 방향 유지 전극(133b, 133c)의 종단이 정확히 맞물림으로써 폐회로를 형성하고 돌출되는 부분이 형성되지 않는다. 또한 세로 방향 유지 전극(133a)도 유지 배선 연결 다리(91)를 통하여 이웃 화소행의 유지 전극선(131)과 연결되므로 전하의 출구는 형성되어 있다.

- <39> 도 5 내지 도 12는 각각 본 발명의 제2 내지 제9 실시예에 따른 박막 트랜지스터 기판의 유지 전극 배선을 도시한 배치도이다.
- <40> 먼저, 도 5의 제2 실시예는 제1 실시예에서 세로 방향 유지 전극(133d)이 좀더 연장되어 유지 전극선(131)에 연결되어 있다. 따라서 각 화소 영역마다 유지 전극선(131)과 유지 전극(133a, 133b, 133c, 133d)에 의하여 두 개의 폐회로가 형성된다.
- <41> 도 6의 제3 실시예는 제1 실시예에서 가로 방향 유지 전극(133e)이 생략된 구조이다. 각 화소 영역마다 유지 전극선(131)과 유지 전극(133a, 133b, 133c, 133d)에 의하여 하나의 폐회로가 형성된다. 이웃 화소 영역 간을 연결하는 가로 방향 유지 전극(133e)이 생략되었기 때문에 전하의 통로가 감소하기는 하였으나 유지 배선 연결 다리가 형성되어 있기 때문에 전하의 통로는 충분히 확보되어 있다. 따라서 전하 트루핑에 의한 물얼룩이나 가로줄 불량을 발생하지 않는다.
- <42> 도 7 내지 도 12를 보면, 유지 전극 배선의 다양한 배치가 제시되어 있으며 어느 구조든 연결로가 없는 막다른 돌출부는 존재하지 않고, 하나 내지 3개의 폐회로가 형성되어 있다.
- <43> 그러면 이러한 구조와 효과를 가지는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법에 대하여 설명한다.
- <44> 먼저 도 13 내지 도 17을 참고로 하여 5매의 광마스크를 사용하는 방법에 대하여 설명한다. 이 때, 게이트 배선(121, 123, 125)과 데이터 배선(171, 173, 175, 179)은 이중층으로 형성하는 경우를 예로 들어 설명한다.

- <45> 먼저, 도 13에 도시한 바와 같이, 기판(110) 위에 물리 화학적 특성이 우수한 Cr 또는 Mo 합금 등을 증착하여 제1 게이트 배선층(211, 231, 251)을 적층하고, 저항이 작은 Al 또는 Ag 합금 등을 증착하여 제2 게이트 배선층(212, 232, 252)을 적층한 다음, 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 가로 방향으로 뻗어 있는 게이트 배선을 형성한다. 이 때, 도시하지는 않았으나 유지 전극 배선도 형성한다(제1 마스크).
- <46> 이 때, 제1 게이트 배선층(211, 231, 251)을 Mo 합금으로 형성하고 제2 게이트 배선층(212, 232, 252)을 Ag 합금으로 형성한 경우에는, 이들 두 층이 모두 Ag 합금 식각재인 인산, 질산, 초산 및 초순수(deionized water)를 혼합한 물질에 의하여 식각된다. 따라서 한 번의 식각 공정으로 이중층의 게이트 배선(121, 123, 125)을 형성할 수 있다. 또 인산, 질산, 초산 및 초순수 혼합물에 의한 Ag 합금과 Mo 합금에 대한 식각비는 Ag 합금에 대한 식각비가 더 크므로 게이트 배선에 필요한 30° 정도의 테이퍼(taper) 각을 얻을 수 있다.
- <47> 다음, 도 14에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 비정질 규소층, 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고, 비정질 규소층과 도핑된 비정질 규소층을 함께 사진 식각하여 게이트 전극(123) 상부의 게이트 절연막(140) 위에 반도체층(151)과 저항성 접촉층(160)을 형성한다(제2 마스크).
- <48> 다음, 도 15에 도시한 바와 같이, Cr 또는 Mo 합금 등을 증착하여 제1 데이터 배선층(711, 731, 751, 791)을 적층하고, Al 또는 Ag 합금 등을 증착하여 제2 데이터 배선층(712, 732, 752, 792)을 적층한 후, 사진 식각하여 게이트선(121)과 교차하는 데이터선(171), 데이터선(171)과 연결되어 게이트 전극(121) 상부까지 연장되어 있는 소스

전극(173), 데이터선(171)은 한쪽 끝에 연결되어 있는 데이터 패드(179) 및 소스 전극(173)과 분리되어 있으며 게이트 전극(121)을 중심으로 소스 전극(173)과 마주하는 드레인 전극(175)을 포함하는 데이터 배선을 형성한다(제3 마스크).

<49> 이어, 데이터 배선(171, 173, 175, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(151)을 노출시킨다. 이어, 노출된 반도체층(151)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<50> 다음으로, 도 16에 나타낸 바와 같이, a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시키거나 질화규소 등의 무기 절연막을 증착하거나 아크릴계 물질 등의 유기 절연막을 도포하여 보호막(180)을 형성한다. 이 때, a-Si:C:O 막의 경우에는 기체 상태의 $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$, $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$, $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 등을 기본 소스로 사용하고, N_2O 또는 O_2 등의 산화제와 Ar 또는 He 등을 혼합한 기체를 흘리면서 증착한다. 또, a-Si:O:F 막의 경우에는 SiH_4 , SiF_4 등에 O_2 를 첨가한 기체를 흘리면서 증착한다. 이 때, 불소의 보조 소스로서 CF_4 를 첨가할 수도 있다.

<51> 이어, 사진 식각 공정으로 게이트 절연막(140)과 함께 보호막(180)을 패터닝하여, 게이트 패드(125), 드레인 전극(175) 및 데이터 패드(179)를 드러내는 접촉구(181, 182, 183) 및 유지 전극선(131)과 유지 전극(133a)를 각각 노출하는 접촉구(184, 185)를 형성한다. 여기서, 접촉구(181, 182, 183, 184, 185)는 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있으며, 패드(125, 179)를 드러내는 접촉 구멍(182, 183)의 면적은 $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며, $0.5\text{mm} \times 15\mu\text{m}$ 이상인 것이 바람직하다. 한편, 도시하지는 않았

으나 유지 배선 연결 다리가 유지 전극선과 유지 전극과 접촉하기 위한 접촉구도 이 단계에서 형성한다(제4 마스크).

<52> 다음, 마지막으로 도 17에 도시한 바와 같이, ITO 또는 IZO막을 증착하고 사진 식각하여 제1 접촉 구멍(181)을 통하여 드레인 전극(175)과 연결되는 화소 전극(190)과 제2 및 제3 접촉 구멍(182, 183)을 통하여 게이트 패드(125) 및 데이터 패드(179)와 각각 연결되는 보조 게이트 패드(95) 및 보조 데이터 패드(97)를 형성한다. ITO나 IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체는 질소를 이용하는 것이 바람직하다. 이는 접촉구(181, 182, 183)를 통해 노출되어 있는 금속막의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다. 한편, 도시하지는 않았으나 유지 배선 연결 다리도 이 단계에서 함께 형성한다(제5 마스크).

<53> 4매의 광마스크를 사용하여 본 발명의 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법에 대하여 설명한다.

<54> 도 18a, 18b 내지 도 26a, 26b는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크 공정으로 제조하는 공정을 순서대로 나타내는 단면도이다

<55> 먼저, 도 18a 내지 18b에 도시한 바와 같이, 제1 실시예와 동일하게 물리 화학적 특성이 우수한 Cr 또는 Mo 합금 등을 증착하여 제1 게이트 배선층(211, 231, 251, 311)을 적층하고, 저항이 작은 Al 또는 Ag 합금 등을 증착하여 제2 게이트 배선층(211, 231, 251, 311)을 적층한 다음, 사진 식각하여 게이트선(121), 게이트 패드(125), 게이트 전극(123)을 포함하는 게이트 배선과 유지 전극 배선(131)을 형성한다. (제1 마스크)

<56> 다음, 도 19a 및 19b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 반도체층(150), 접촉층(160)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 Cr 또는 Mo 합금 등으로 이루어진 제1 도전막(701)과 Al 또는 Ag 합금으로 이루어진 제2 도전막(702) 스퍼터링 등의 방법으로 증착하여 도전체층(170)을 형성한 다음 그 위에 감광막(PR)을 1 μ m 내지 2 μ m의 두께로 도포한다.

<57> 그 후, 마스크를 통하여 감광막(PR)에 빛을 조사한 후 현상하여, 도 19a 및 19b에 도시한 바와 같이, 감광막 패턴(PR1, PR2)을 형성한다. 이때, 감광막 패턴(PR1, PR2) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(173)과 드레인 전극(175) 사이에 위치한 제2 부분(PR2)은 데이터 배선부(A), 즉 데이터 배선이 형성될 부분에 위치한 제1 부분(PR1)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이때, 채널부(C)에 남아 있는 감광막(PR2)의 두께와 데이터 배선부(A)에 남아 있는 감광막(PR1)의 두께의 비는 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제2 부분(PR2)의 두께를 제1 부분(PR1)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<58> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<59> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에

는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<60> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광시간을 길게 하면 모든 분자들이 분해되므로 그렇게되지 않도록 해야한다.

<61> 이러한 얇은 두께의 감광막(PR2)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할수도 있다.

<62> 이어, 감광막 패턴(PR2) 및 그 하부의 막들, 즉 도전체층(170), 접촉층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(150, 160, 170)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.

<63> 먼저, 도 21a 및 도 21b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(170)을 제거하여 그 하부의 접촉층(160)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(170)은 식각되고 감

광막 패턴(PR1, PR2)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(170)만을 식각하고 감광막 패턴(PR1, PR2)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(PR1, PR2)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제2 부분(PR2)의 두께를 두껍게 하여 이 과정에서 제2 부분(PR2)이 제거되어 하부의 도전체층(170)이 드러나는 일이 생기지 않도록 한다.

<64> 이렇게 하면, 도 21a 및 도 21b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층(171, 173, 175, 179)과 유지 용량용 전극(177)만이 남고 기타 부분(B)의 도전체층은 모두 제거되어 그 하부의 접촉층(160)이 드러난다. 이때 남은 도전체 패턴(171, 173, 175, 179)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(171, 173, 175, 179)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(PR1, PR2)도 어느 정도의 두께로 식각된다.

<65> 이어, 도 22a 및 22b에 도시한 바와 같이, 기타 부분(B)의 노출된 접촉층(160) 및 그 하부의 반도체층(150)을 감광막의 제2 부분(PR2)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(PR1, PR2)과 접촉층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(PR1, PR2)과 반도체층(150)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF6과 HC1의 혼합 기체나, SF6과 O2의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(PR1, PR2)과 반도체층(150)에 대한 식각비가 동일한 경우 제2

부분(PR2)의 두께는 반도체층(150)과 중간층(160)의 두께를 합한것과 같거나 그보다 작아야 한다.

<66> 이렇게 하면, 도 22a 및 22b에 나타낸 바와 같이, 채널부(C)의 제2 부분(PR2)이 제거되어 소스/드레인용 도전체 패턴(173, 175)이 드러나고, 기타 부분(B)의 접촉층(160) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A)의 제1 부분(PR1) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(151, 153, 157)이 완성된다. 반도체 패턴(151, 153, 157)의 위에는 접촉층(161, 163, 165, 169)이 형성되어 있다.

<67> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(173, 175) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<68> 다음, 도 23a 및 23b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(173, 175) 및 그 하부의 소스/드레인용 접촉층 패턴(163, 165)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(173, 175)과 접촉층 패턴(163, 165) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(173, 175)에 대해서는 습식 식각으로, 접촉층 패턴(163, 165)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(173, 175)과 접촉층 패턴(163, 165)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(151)의 두께를 조절하기가 쉽지 않기 때문이다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(173, 175)의 측면은 식각되지만, 건식 식각되는 접촉층 패턴(163, 165)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 접촉

층(163, 165) 및 반도체 패턴(151)을 식각할 때 사용하는 식각 기체의 예로는 CF₄와 HCl의 혼합 기체나 CF₄와 O₂의 혼합 기체를 들 수 있으며, CF₄와 O₂를 사용하면 균일한 두께로 반도체 패턴(151)을 남길 수 있다. 이때, 도 22b에 도시한 것처럼 반도체 패턴(151)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제1 부분(PR1)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제1 부분(PR1)이 식각되어 그 하부의 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극(177)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<69> 이렇게 하면, 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터 배선(171, 173, 175, 179)과 그 하부의 접촉층 패턴(161, 163, 165)이 완성된다.

<70> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제1 부분(PR1)을 제거한다. 그러나, 제1 부분(PR1)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(173, 175)을 제거한 후 그 밑의 접촉층 패턴(163, 165)을 식각하기 전에 이루어질 수도 있다.

<71> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<72> 다음, 도 24a 및 도 24b에 도시한 바와 같이, a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시키거나 질화규소 등의 무기 절연 물질을 증착하거나 또는 아크릴계 물질 등의 유기 절연 물질을 도포하여 보호막(180)을

형성한다. 이 때, a-Si:C:O 막의 경우에는 기체 상태의 $\text{SiH}(\text{CH}_3)_3$, $\text{SiO}_2(\text{CH}_3)_4$, $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$, $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 등을 기본 소스로 사용하고, N_2O 또는 O_2 등의 산화제와 Ar 또는 He 등을 혼합한 기체를 흘리면서 증착한다. 또, a-Si:O:F 막의 경우에는 SiH_4 , SiF_4 등에 O_2 를 첨가한 기체를 흘리면서 증착한다. 이 때, 불소의 보조 소스로서 CF_4 를 첨가할 수도 있다. (제2 마스크)

<73> 이어, 도 25a 및 도 25b 도시한 바와 같이, 보호막(180)을 게이트 절연막(140)과 함께 사진 식각하여 드레인 전극(175), 게이트 패드(125), 데이터 패드(179) 및 유지 용량용 전극(177)을 각각 드러내는 접촉구(181, 182, 183, 184)를 형성한다. 이때, 패드(125, 179)를 드러내는 접촉구(182, 183)의 면적은 $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며, $0.5\text{mm} \times 15\mu\text{m}$ 이상인 것이 바람직하다. 한편, 도시하지는 않았으나 유지 배선 연결 다리가 유지 전극선과 유지 전극과 접촉하기 위한 접촉구도 이 단계에서 형성한다. (제3 마스크)

<74> 마지막으로, 도 26a 및 도 26b에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 ITO층 또는 IZO층을 증착하고 사진 식각하여 드레인 전극(175) 및 유지 용량용 전극(177)과 연결된 화소 전극(190), 게이트 패드(125)와 연결된 보조 게이트 패드(95) 및 데이터 패드(179)와 연결된 보조 데이터 패드(97)를 형성한다. 한편, 도시하지는 않았으나 유지 배선 연결 다리도 이 단계에서 함께 형성하며, 화소 전극(190)의 개구부가 데이터선(171)을 중심으로 하여 서로 거울상 대칭을 이루도록 광마스크를 디자인한다. (제4 마스크)

<75> 이때, 화소 전극(190), 보조 게이트 패드(95) 및 보조 데이터 패드(97)를

IZO로 형성하는 경우에는 식각액으로 크롬 식각액을 사용할 수 있어서 이들을 형성하기 위한 사진 식각 과정에서 접촉구를 통해 드러난 데이터 배선이나 게이트 배선 금속이 부식되는 것을 방지할 수 있다. 이러한 크롬 식각액으로는 $(\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O})$ 등이 있다. 또한, 접촉부의 접촉 저항을 최소화하기 위해서는 IZO를 상온에서 200°C 이하의 범위에서 적층하는 것이 바람직하며, IZO 박막을 형성하기 위해 사용하는 표적(target)은 In_2O_3 및 ZnO 를 포함하는 것이 바람직하며, ZnO 의 함유량은 15-20 at% 범위인 것이 바람직하다.

- <76> 한편, ITO나 IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체로는 질소를 사용하는 것이 바람직하며, 이는 접촉구(181, 182, 183, 184)를 통해 드러난 금속막의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.
- <77> 4매의 마스크를 이용하여 박막 트랜지스터 기판을 제조하는 공정에서는 유지 용량용 전극(177)을 형성하는 경우를 예로 들었으나 유지 용량용 전극(177)은 생략될 수 있다. 또한 4매의 마스크를 이용하여 제조한 박막 트랜지스터 기판은 5매의 마스크를 이용하여 제조한 박막 트랜지스터 기판과는 다른 구조적 특징이 있다. 즉, 데이터 배선과 접촉층의 패턴이 동일하고, 그 하부의 비정질 규소층의 패턴도 채널부를 제외한 영역에서는 동일하게 형성된다. 이는 이들 3개 층이 동일한 감광제 패턴을 이용하여 식각되기 때문이다.
- <78> 이상에서는 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<79> 이상과 같은 구조로 박막 트랜지스터 기판의 유지 전극 배선(131, 133a, 133b, 133c, 133d, 133e)을 형성하면 물얼룩과 가로줄 불량을 제거할 수 있다.

【특허청구범위】**【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있고, 유지 전극선과 유지 전극을 포함하며, 연결로가 없는 돌출 가지를 2개 이상 포함하지 않는 유지 전극 배선,

상기 절연 기판 위에 형성되어 있는 게이트 배선,

상기 게이트 배선과 상기유지 전극배선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있는 데이터 배선,

상기 데이터 배선 위에 형성되어 있는 보호막,

상기 보호막 위에 형성되어 있는 화소 전극

을 포함하는 박막 트랜지스터 기판.

【청구항 2】

제1항에서,

상기 유지 전극 배선은 이웃하는 화소간의 유지 전극을 연결하는 유지 전극선을 2개 이상 포함하는 박막 트랜지스터 기판.

【청구항 3】

제1항에서,

상기 게이트 배선을 건너 그 양쪽에 위치하는 유지 전극 배선을 연결하는 유지 배선 연결 다리를 더 포함하는 박막 트랜지스터 기판.

【청구항 4】

제1항에서,

상기 유지 전극 배선의 유지 전극은 2개의 세로 가지부와 2개의 사선 가지부를 가지며 1개의 폐회로를 형성하는 박막 트랜지스터 기판.

【청구항 5】

제1항에서,

상기 유지 전극 배선의 유지 전극은 2개의 세로 가지부와 3개의 사선 가지부를 가지며 2개의 폐회로를 형성하는 박막 트랜지스터 기판.

【청구항 6】

제1항에서,

상기 유지 전극 배선의 유지 전극은 2개의 세로 가지부와 4개의 사선 가지부를 가지며 3개의 폐회로를 형성하는 박막 트랜지스터 기판.

【청구항 7】

제1항에서,

상기 화소 전극은 다수의 절개부를 가지며 상기 절개부는 상기 유지 전극 배선과 적어도 일부가 중첩하는 박막 트랜지스터 기판.

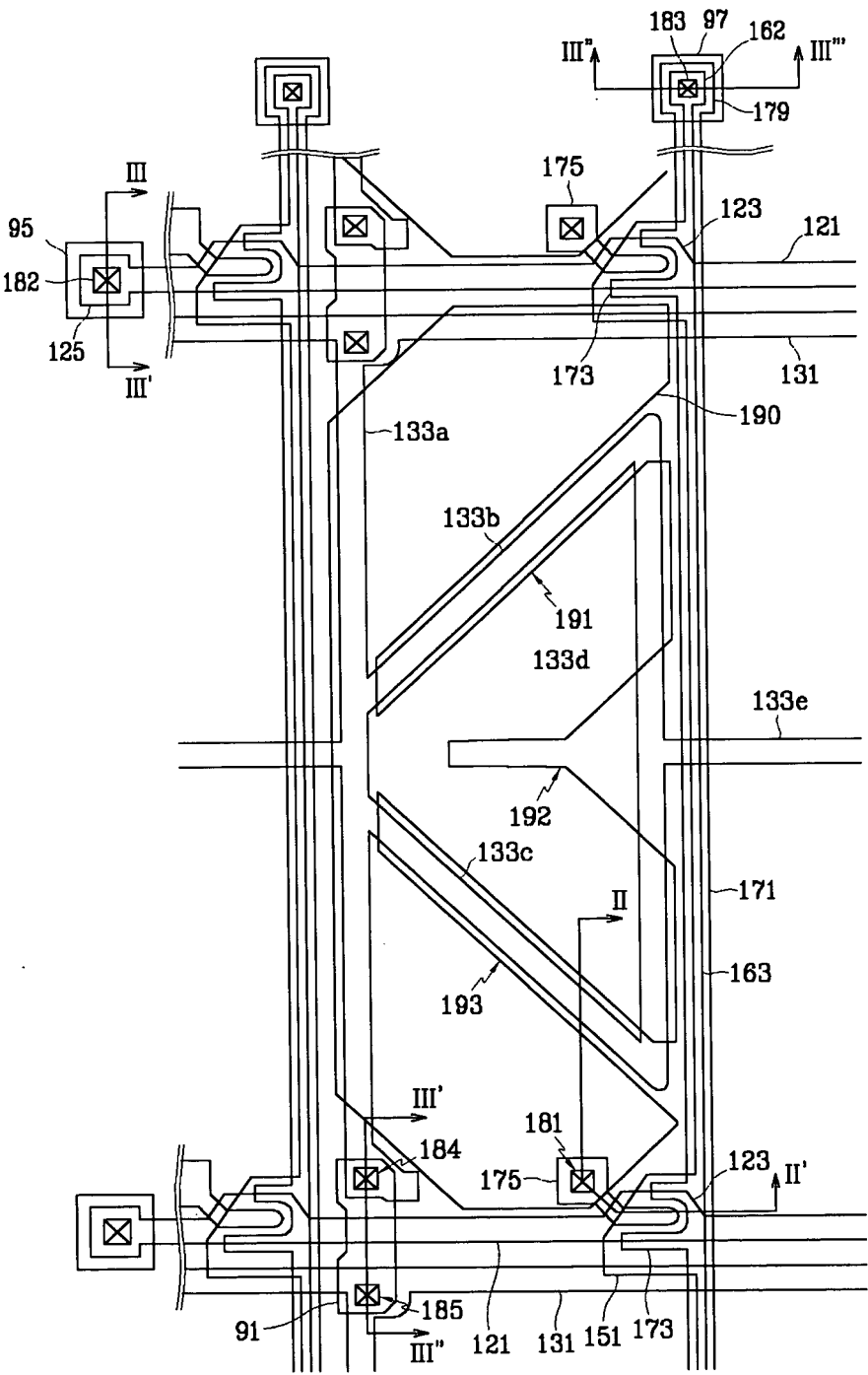
【청구항 8】

제1항에서,

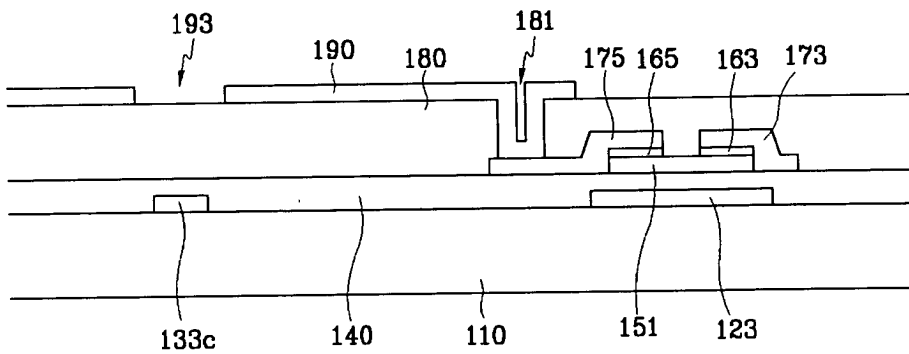
데이터 배선은 상기 반도체층과 채널부를 제외한 영역에서 실질적으로 동일한 패턴을 가지는 박막 트랜지스터 기판.

【도면】

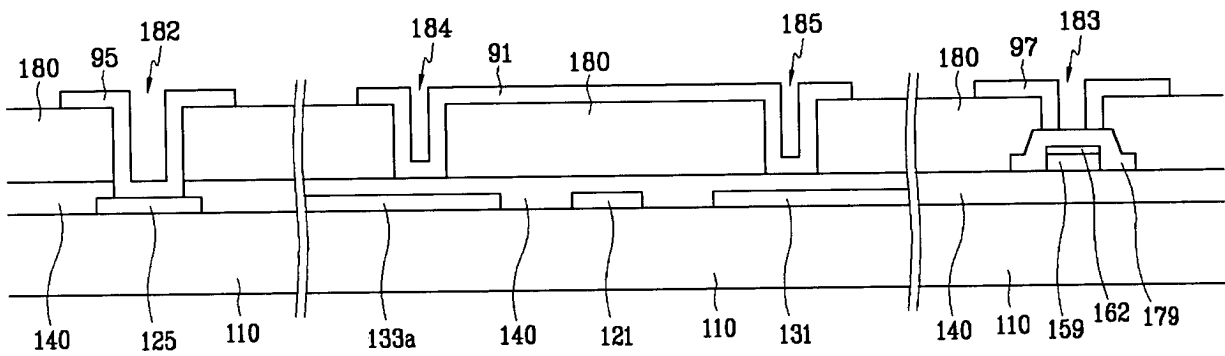
【도 1】



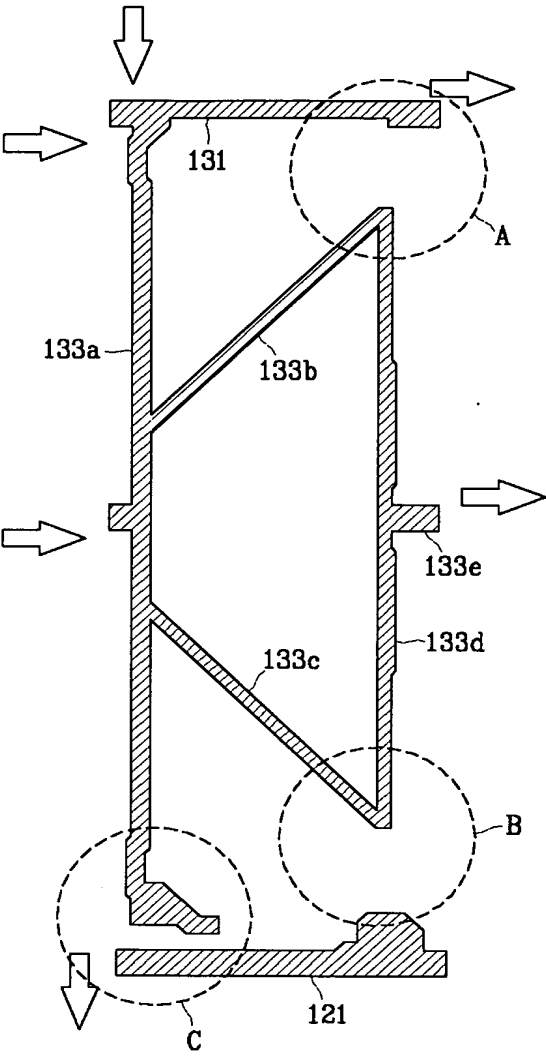
【도 2】



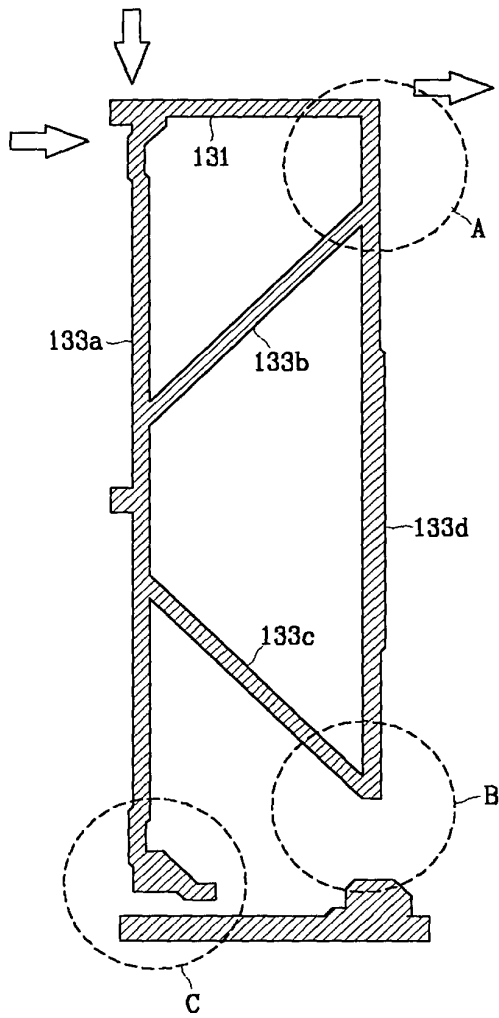
【도 3】



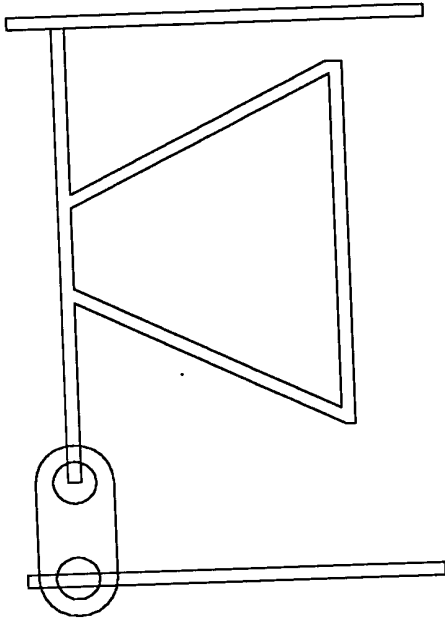
【도 4】



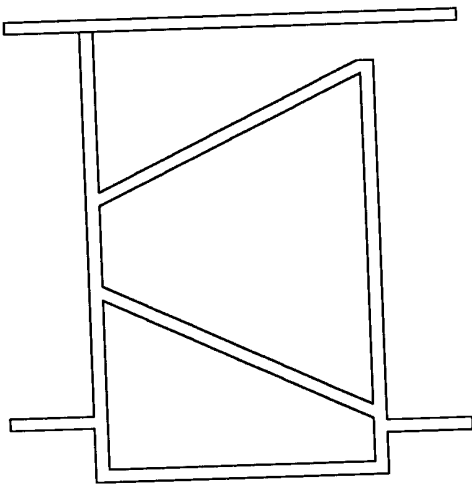
【도 5】



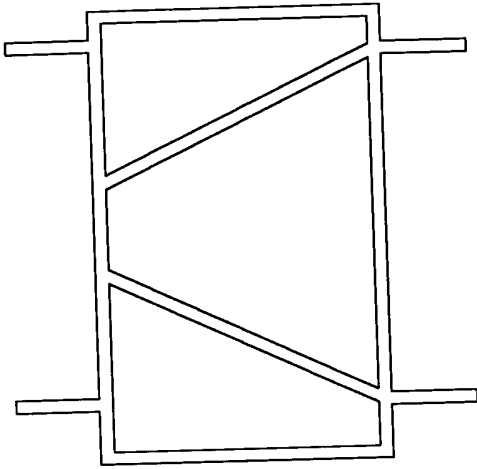
【도 6】



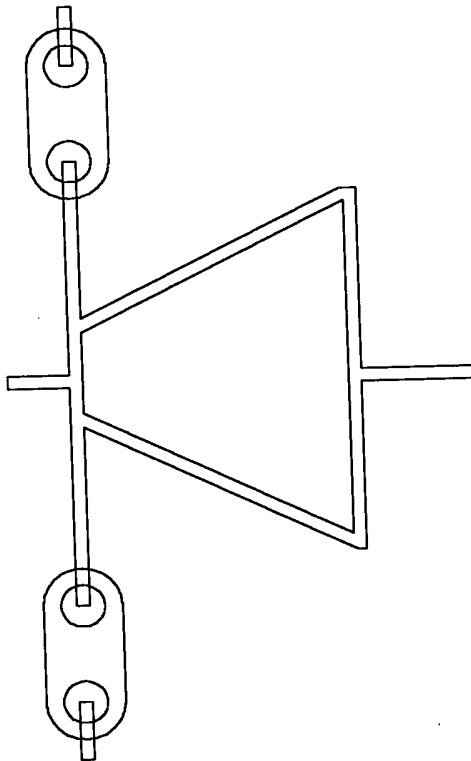
【도 7】



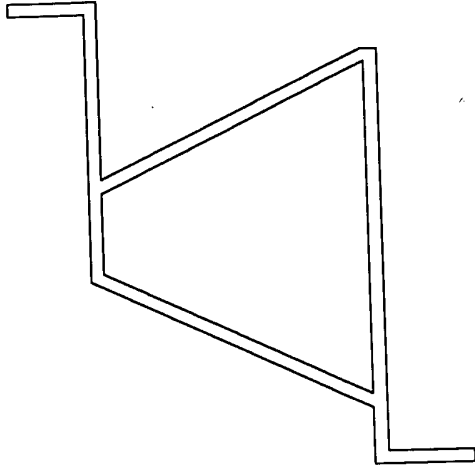
【도 8】



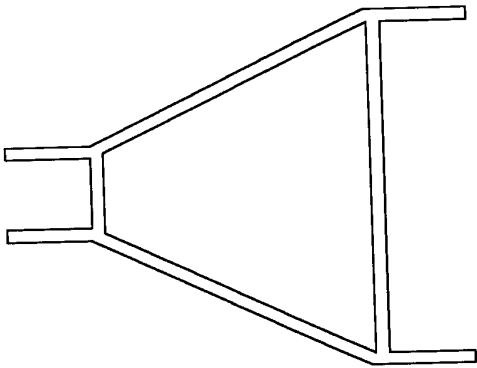
【도 9】



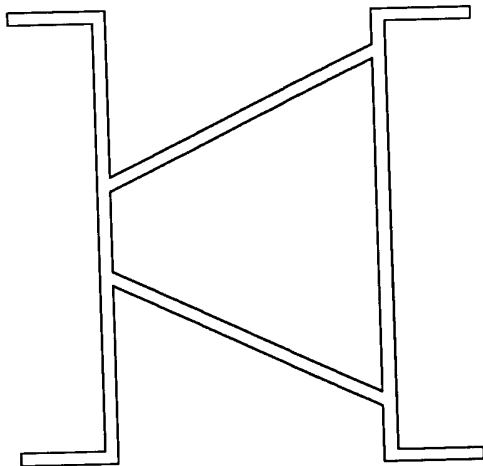
【도 10】



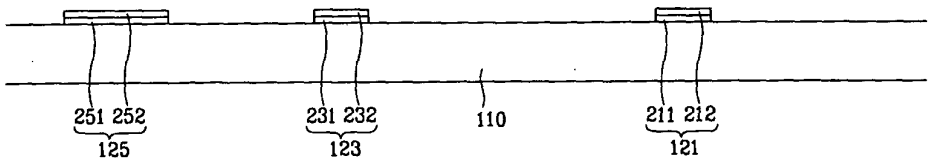
【도 11】



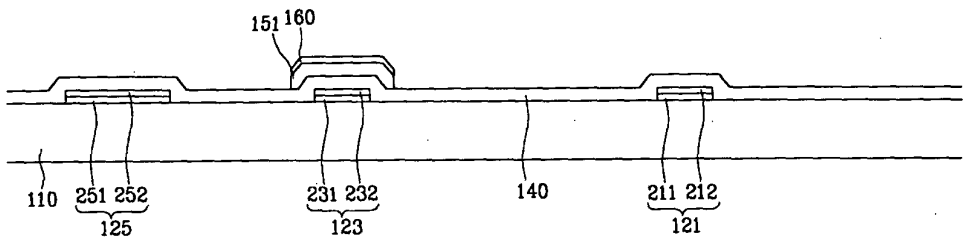
【도 12】



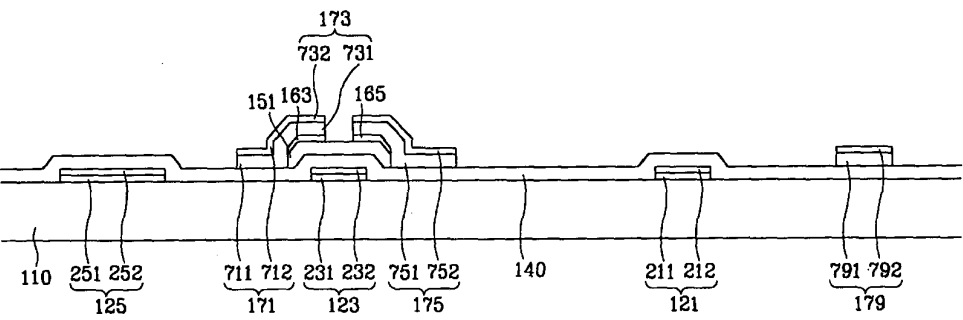
【도 13】



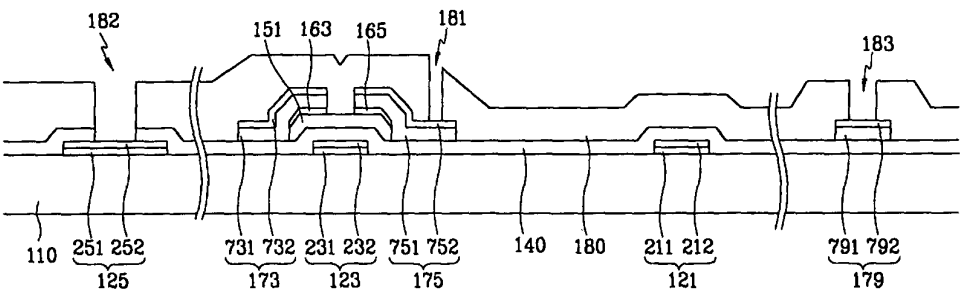
【도 14】



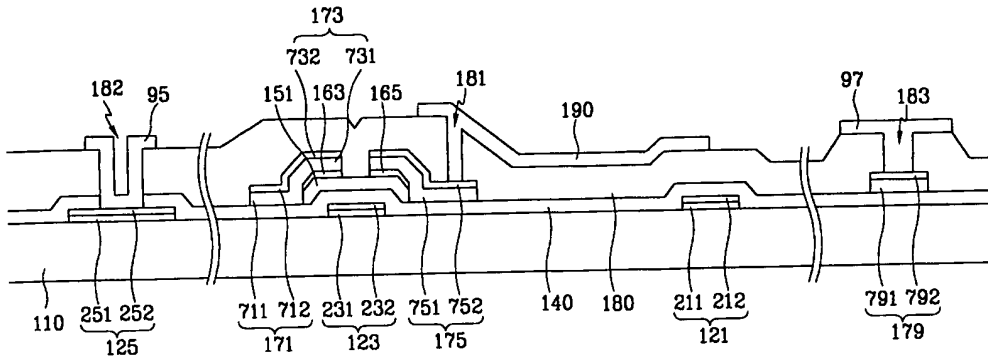
【도 15】



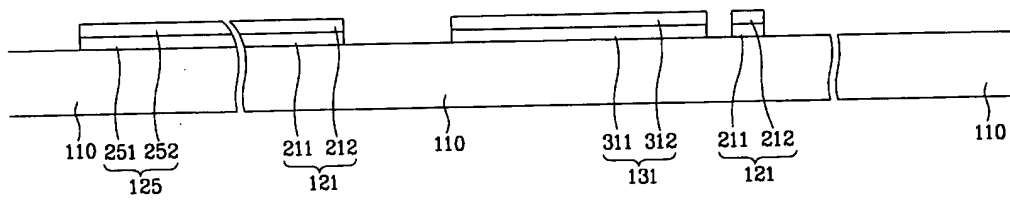
【도 16】



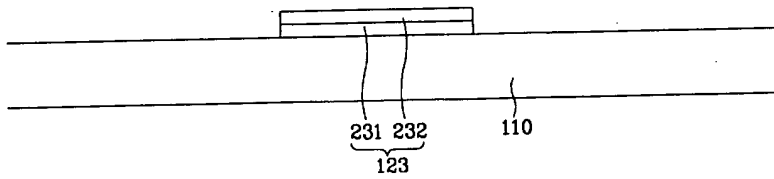
【도 17】



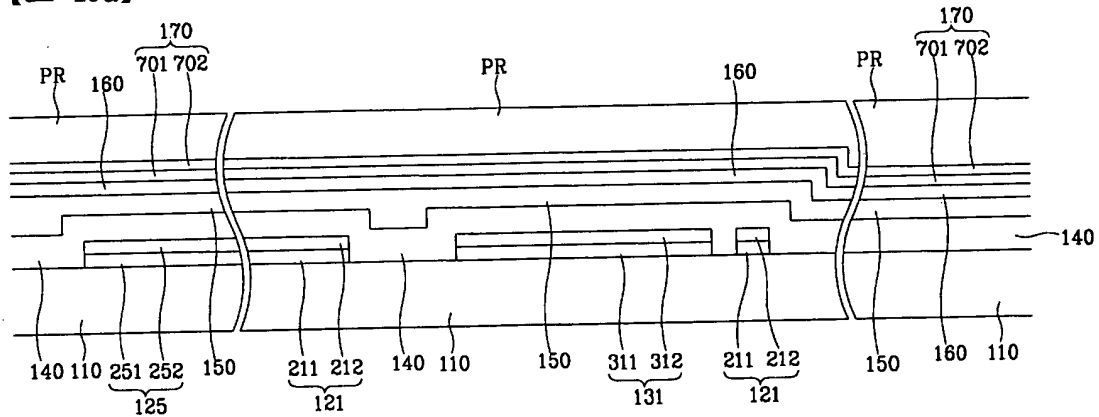
【도 18a】



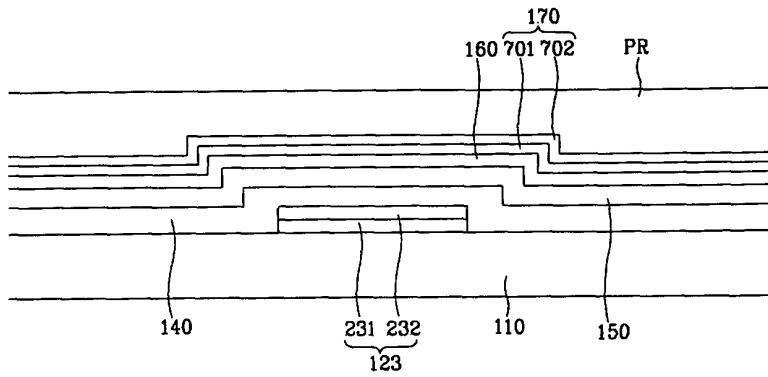
【도 18b】



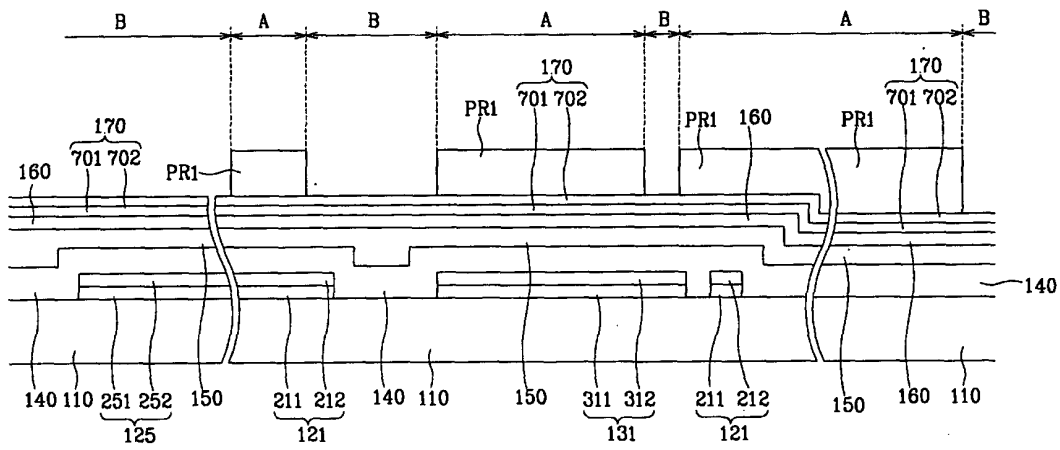
【도 19a】



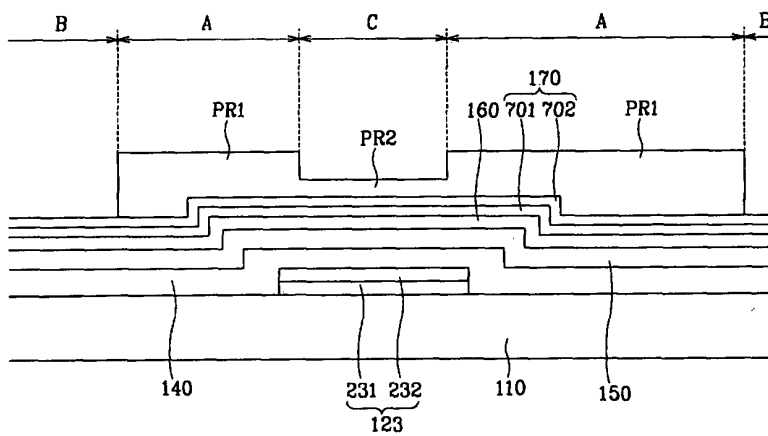
【도 19b】



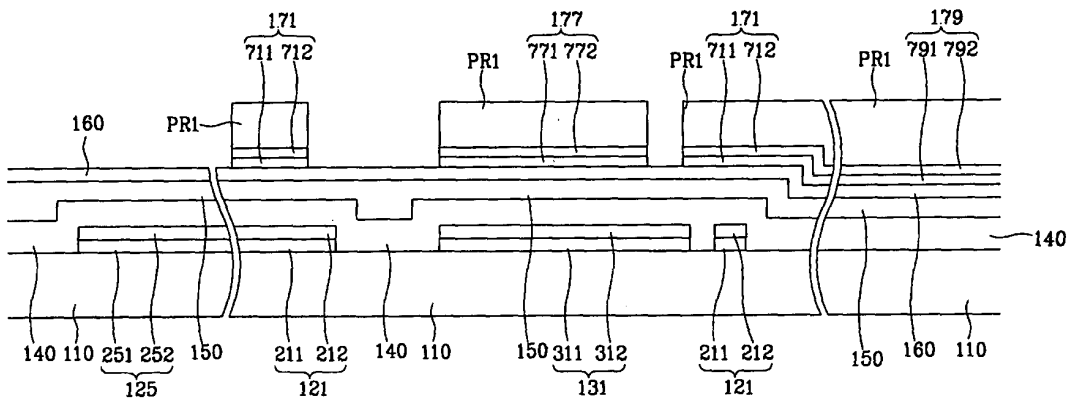
【도 20a】



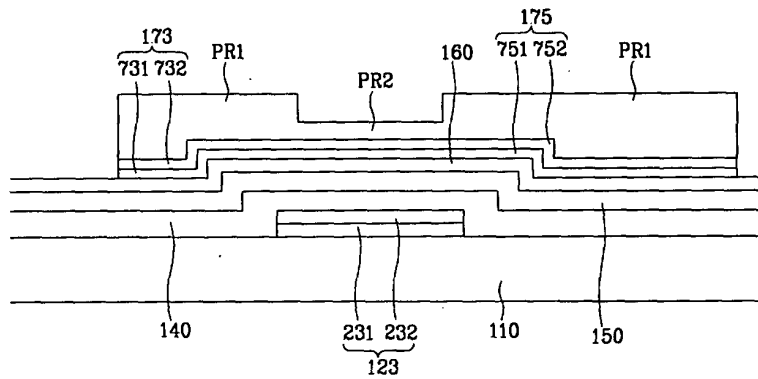
【도 20b】



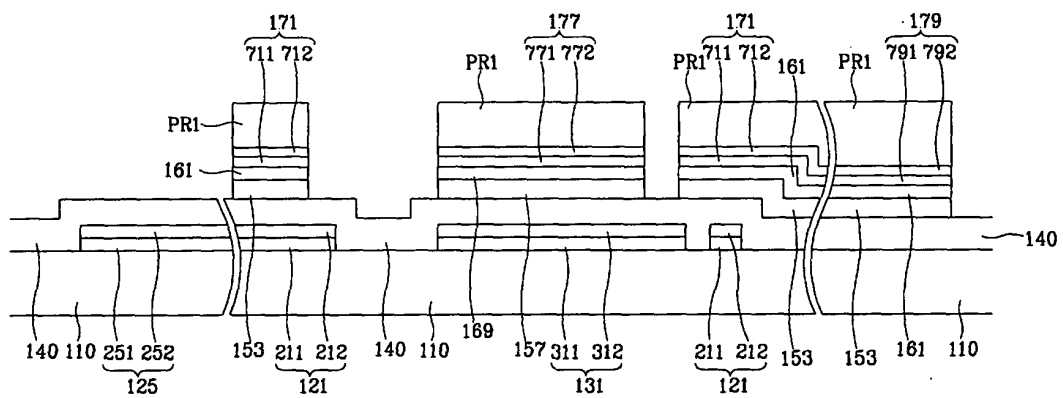
【도 21a】



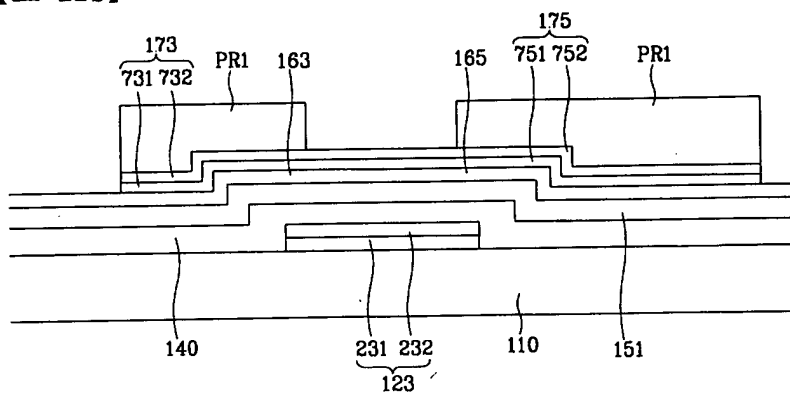
【도 21b】



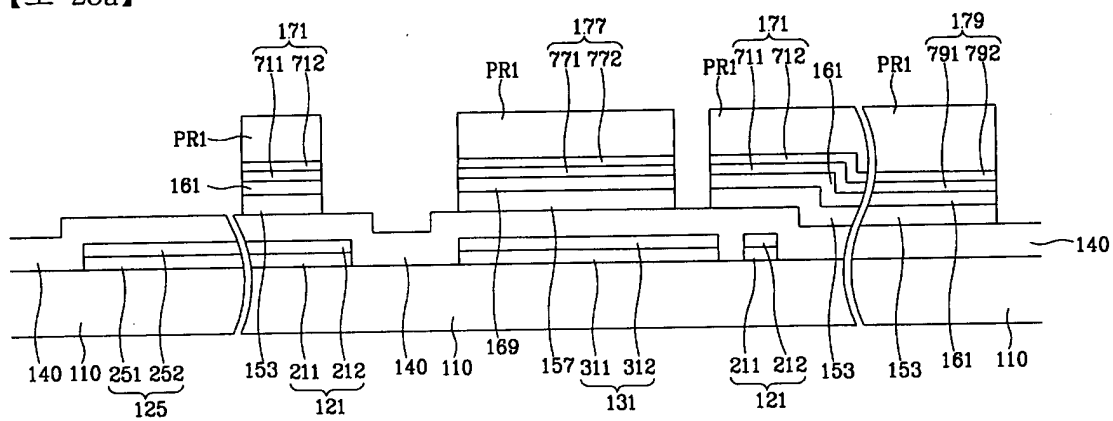
【도 22a】



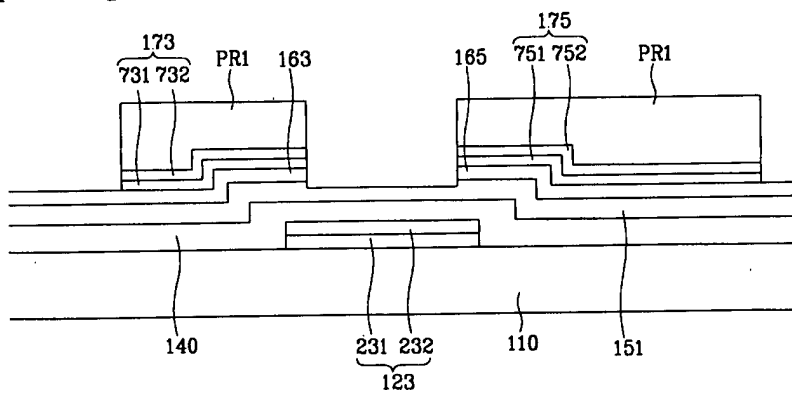
【도 22b】



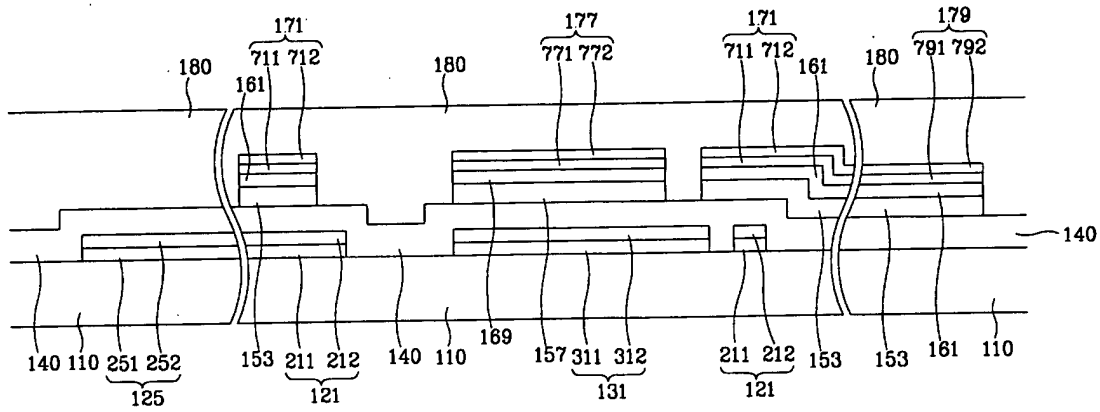
【도 23a】



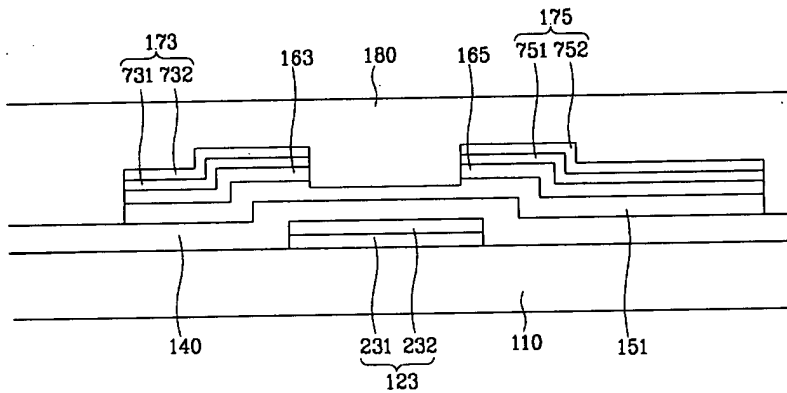
【도 23b】



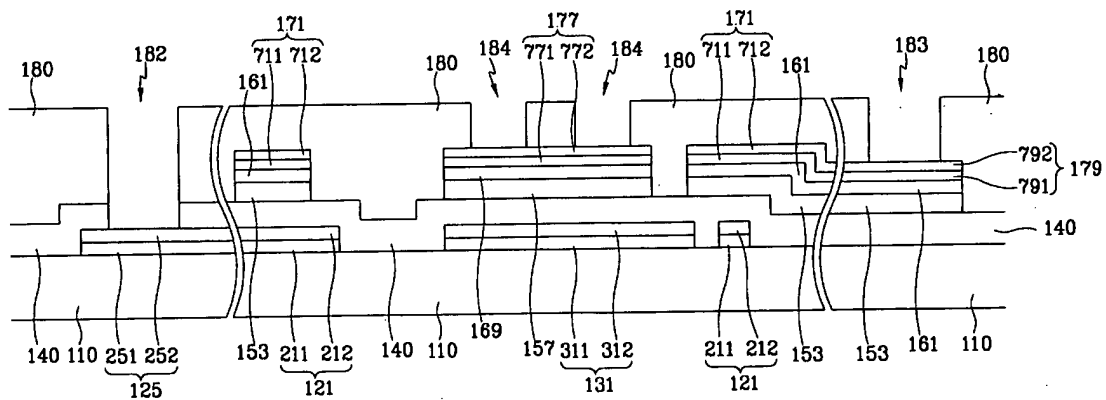
【도 24a】



【도 24b】



【도 25a】



A cross-sectional view of a semiconductor device. The device consists of a substrate 110 with a top surface 140 and a bottom surface 151. A layer 123 is formed on the top surface 140, containing a central rectangular feature 231 and two side features 232. Above layer 123, there is a series of steps and layers. A layer 163 is formed on top of the steps. A layer 175 is formed on top of layer 163, with a central rectangular feature 751 and two side features 752. A layer 180 is formed on top of layer 175, with a central rectangular feature 165 and two side features 731 and 732. A layer 181 is formed on top of layer 180, with a central rectangular feature 163 and two side features 731 and 732.

This cross-sectional view shows a semiconductor device with a substrate 140. The device includes a series of layers and regions: a bottom layer 140, a layer 110, and a layer 180. A central region 161 is defined by a series of steps and layers. The top surface features a series of rectangular structures 171, 177, and 171, which are part of a larger structure 179. The structure 179 is composed of layers 791 and 792. The device is further defined by regions 125, 121, 131, and 121, which are separated by a layer 153. The device is also defined by regions 140, 110, 189, 157, 311, 312, 211, 212, 153, 161, and 110.

[illegible]



Creation date: 09-16-2003
Indexing Officer: ATANTU - AFEWORK TANTU
Team: OIPEScanning
Dossier: 10612048

Legal Date: 08-28-2003

No.	Doccode	Number of pages
1	FRPR	51

Total number of pages: 51

Remarks:

Order of re-scan issued on